

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-161282

(43)Date of publication of application : 21.06.1996

(51)Int.Cl.

G06F 15/173

G06F 9/38

G06F 15/18

(21)Application number : 07-247447

(71)Applicant : KOREA ELECTRON
TELECOMMUN

(22)Date of filing : 26.09.1995

(72)Inventor : KIN SHOMON
SO YONSEN
KIN MEIGEN

(30)Priority

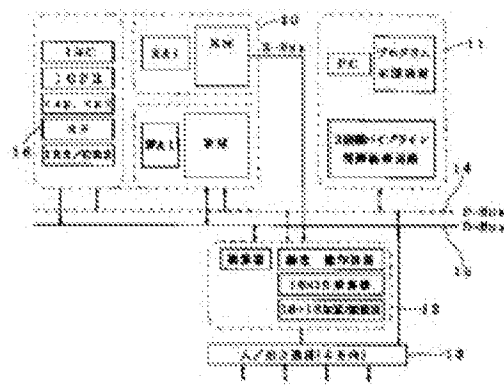
Priority number : 94 9432940 Priority date : 06.12.1994 Priority country : KR

(54) DIGITAL ARRAY PROCESSOR BEING EXCLUSIVE TO MULTI-DATA TYPE NEURAL NETWORK OF MULTI-COMMAND AND SYSTEM CONSTITUTED BY USING THE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively simulate a neural network model by permitting a system to have the structure of a unique arithmetic equipment, a memory, a communication port and a program memory which are suitable for the numeral model.

SOLUTION: The system is composed of the four blocks of the memory and a general purpose register block 10, the program memory and a control block 11, an arithmetic equipment block 12 and a communication block 13. Then, bus (BUS) is separated into the one 14 for a program and the one 15 for data. The operation of a processor is executed by following the command set in the program memory. The command can easily simulate the neural network and the configuration of the command decides the hardware structure of the processor. Therefore, the hardware (chip) for simulating the neural network model by using the VLSI technique of a present digital system is stably produced.



DIGITAL ARRAY PROCESSOR EXCLUSIVELY USED FOR MULTIPLE DATA-TYPE NEURONETWORK OF MULTIPLE INSTRUCTION WORD AND SYSTEM CONSTITUTED BY UTILIZING IT

Publication number: JP8161282 (A)

Publication date: 1996-06-21

Inventor(s): KIN SHIYOUNG; SOU YONSEN; KIN MEIGEN

Applicant(s): KOREA ELECTRONICS TELECOMM

Classification:

- international: G06F9/38; G06F13/00; G06F15/16; G06F15/173; G06F15/18; G06F15/80; G06N3/04; G06F9/38; G06F13/00; G06F15/16; G06F15/18; G06F15/76; G06N3/00; (IPC1-7): G06F15/173; G06F9/38; G06F15/18

- European:

Application number: JP19950247447 19950926

Priority number(s): KR19940032940 19941206

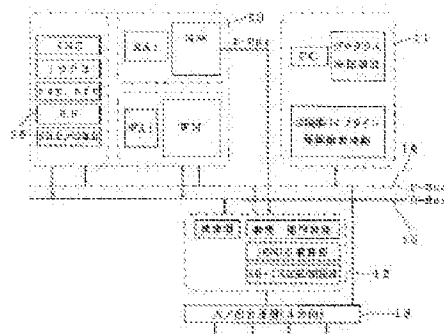
Also published as:

KR0138859 (B1)

Abstract of JP 8161282 (A)

PROBLEM TO BE SOLVED: To effectively simulate a neural network model by permitting a system to have the structure of a unique arithmetic equipment, a memory, a communication port and a program memory which are suitable for the numeral model.

SOLUTION: The system is composed of the four blocks of the memory and a general purpose register block 10, the program memory and a control block 11, an arithmetic equipment block 12 and a communication block 13. Then, bus (BUS) is separated into the one 14 for a program and the one 15 for data. The operation of a processor is executed by following the command set in the program memory. The command can easily simulate the neural network and the configuration of the command decides the hardware structure of the processor. Therefore, the hardware (chip) for simulating the neural network model by using the VLSI technique of a present digital system is stably produced.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-161282

(43)公開日 平成8年(1996)6月21日

(51)Int.Cl. ⁸	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 15/173				
9/38	3 7 0 Y			
15/18	5 2 0 E	8837-5L		
			G 0 6 F 15/ 16	4 0 0 N
			審査請求	未請求 請求項の数9 O L (全 8 頁)

(21)出願番号 特願平7-247447

(22)出願日 平成7年(1995)9月26日

(31)優先権主張番号 94-32940

(32)優先日 1994年12月6日

(33)優先権主張国 韓国 (K R)

(71)出願人 591044083

財団法人韓国電子通信研究所

大韓民国大田廣城市儒城区柯亭洞161番地

(72)発明者 金 鐘門

大韓民国大田直轄市儒城区道龍洞391番地

住公アパート1-504

(72)発明者 宋 ▲よん▼宣

大韓民国大田直轄市大▲徳▼区梧井洞新東

亜アパート8-1204

(72)発明者 金 明源

大韓民国大田直轄市儒城区新城洞ハヌルア

パート109-301

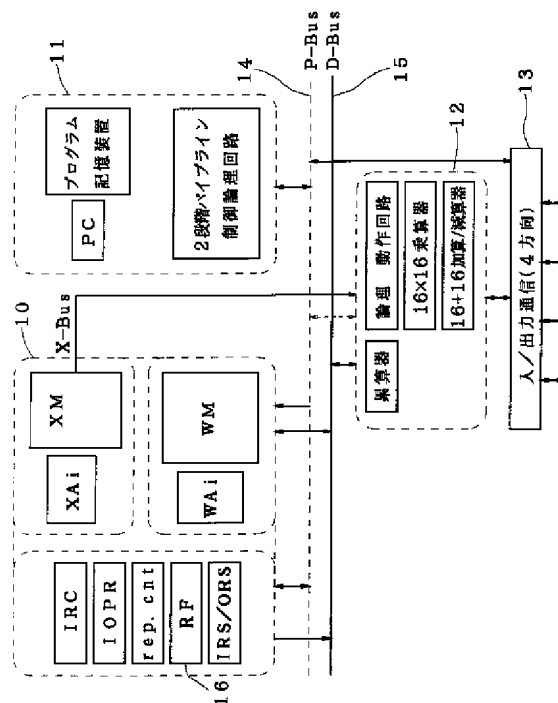
(74)代理人 弁理士 吉田 茂明 (外2名)

(54)【発明の名称】 多重命令語の多重データ型の神経網専用のデジタルアレイプロセッサおよびこれを利用して構成されたシステム

(57)【要約】

【課題】 VLSIの技術を利用したデジタルプロセッサ設計において、神経網専用のプロセッサの具現または神経網専用の並列プロセッサの具現に関するものである。

【解決手段】 本発明は演算のパイプライン動作のために分離されたメモリー構成(WM, XM)をもつメモリーおよび汎用レジスタブロック10、プログラムメモリーおよび制御ブロック11、各種の演算を遂行する演算器ブロック12およびプロセッサ間の通信のための通信ブロック13の4個のブロック、そしてプログラム用のバス14とデータ用のバス15に分離された形態のバス(BUS)から構成されることを特徴として、現在のデジタル方式のVLSI技術を利用して神経網モデルをシミュレーションするためのハードウェア(チップ)を安定的に製作することができる効果がある。



【特許請求の範囲】

【請求項1】 VLSI技術を利用した神経網専用のデジタルアレイプロセッサにおいて、演算のパイプライン動作のために分離されたメモリ構成(WM, XM)をもつメモリおよび汎用レジスタブロック(10)、プログラムメモリおよび制御ブロック(11)、2段階パイプライン並列-並列乗算器(20)と並列加算器/減算器(21)と論理器(22)と累算器(23)とを備えて構成されて必要な各種の演算を遂行する演算器ブロック(12)、およびプロセッサ間の通信のための通信ブロック(13)の4個のブロック、そしてプログラムをアップ/ダウンロードするためのプログラム用バス(14)とデータを伝達するためのデータ用バス(15)に分離された形態のバス(BUS)を備えて構成されることを特徴とするMIMD型の神経網専用のデジタルアレイプロセッサ。

【請求項2】 前記演算器ブロック(12)は、乗算の演算を行なう2段階パイプライン並列-並列乗算器(20)、加算と減算の演算を行なう並列加算器/減算器(21)、論理演算およびこれと関連する演算を行なう論理器(22)、演算の結果を再び貯蔵する累算器(23)、キャリフラグ(AC)とオーバフローフラグ(AV)と累算器の値が負数/ゼロ/正数を示すフラグ(AN/AZ/AP)とを貯蔵するためのフラグレジスタ(24)、データを臨時に貯蔵するためのレジスタ(25)およびデータ選択用MUX(26)を備えていることを特徴とする請求項1記載のMIMD型の神経網専用のデジタルアレイプロセッサ。

【請求項3】 前記演算器ブロック(12)は、その乗算器(20)が2段階パイプライン動作し、加算器/減算器と直列に連結されて3段階のパイプライン動作を行なうことを特徴とする請求項1記載のMIMD型の神経網専用のデジタルアレイプロセッサ。

【請求項4】 前記演算器ブロック(12)は、連続的なデータ供給のために、神経網モデルに重要な加重値をもっているメモリ(WM)(30)と入力値をもっているメモリ(XM)(31)とを分離した構造のメモリをもつことを特徴とする請求項3記載のMIMD型の神経網専用のデジタルアレイプロセッサ。

【請求項5】 前記演算器ブロック(12)のデータ経路は、可能な限り最短の経路を選択しプロセッサ内から流れて行くデータの経路を均等にするために、論理器(22)を累算器(23)の外に置いて外部から来るIO値は可能な限り短い経路のみを流れて行くように構成されることを特徴とする請求項4記載のMIMD型の神経網専用のデジタルアレイプロセッサ。

【請求項6】 前記メモリおよび汎用レジスタブロック(10)は、変数の反復的な使用のために使用されてプロセッサの性能を向上させる汎用レジスタ、

加重値を貯蔵するためのsRAM(30)、連続するメモリアドレスのグループを指定するための多数個のポインタレジスタ(32)、住所を計算するための加算器(34)、および住所を臨時に貯蔵するためのレジスタ(37)を備えて構成される加重値メモリ(WM)、入力値を貯蔵するためのsRAM(31)、連続するメモリアドレスのグループを指定するための多数個のポインタレジスタ(33)、アドレスを計算するための増加器(35)、およびアドレスを臨時に貯蔵するためのレジスタ(37)を備えて構成される入力値メモリ(XM)、およびアレイプロセッサの外部からデータをアップ/ダウンロードするためのアドレスバス(38)を備えていることを特徴とする請求項1記載のMIMD型の神経網専用のデジタルアレイプロセッサ。

【請求項7】 前記通信ブロック(13)は、入力のために状態を表示するフラグ(IRS)(47)、データ貯蔵のためのバッファ(42)およびデータ入力時に四つのデータの中で一つのデータを選択して受け入れるMUX(44)を含む入力ポートブロック(40)、出力のために状態を表示するフラグ(ORS)(48)、データ貯蔵のためのバッファ(43)およびデータ出力時に四つのデータバッファの中で一つのバッファにデータを送るために選択するDEMUX(45)を含む出力ポートブロック(41)、およびデータを入出力するためのポートを予め指定するレジスタ(46)を備えていることを特徴とする請求項1記載のMIMD型の神経網専用のデジタルアレイプロセッサ。

【請求項8】 前記プロセッサは、4方向に通信し、4方向の中で通信方向を予めレジスタ(46)に定めて使用する、迅速な通信が可能なことを特徴とする請求項1記載のMIMD型の神経網専用のデジタルアレイプロセッサ。

【請求項9】 神経網専用のデジタルアレイプロセッサを備えてなるシステムにおいて、2次元形態に配列された請求項1乃至請求項8のいずれか記載の前記プロセッサ(50)、ホストコンピュータ(53)に連結するための接続回路(51)、外部のメモリ(54)を接続するための接続回路(52)、双方向のデータ交換が可能なデータバス(55)およびホストコンピュータ(53)から単方向にアドレスを送るためのアドレスバス(56)を備えて構成されることを特徴とするMIMD型の神経網専用のデジタルアレイプロセッサを利用したシステム。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、VLSI(Very Large Scale Integration)の技術を利用したデジタルプロセッサ設計において、多重命令語の多重データ型すなわちMIMD(Multiple Instruction stream, Multiple Data stream)型の神経網専用のプロセッサまたは神経網

専用の並列プロセッサの具現に関するものである。

【0002】

【従来の技術及び発明が解決しようとする課題】神経網（ニューラルネットワーク）の研究において追及されていることは、生物体における認識方法と類似なモデルを探ることである。

【0003】このため、生物学的な研究の外に、生物学的な分析を利用した数学的なモデリングとこのシミュレーションを通じた研究が実施されている。

【0004】しかし、シミュレーションを遂行するためには高速のコンピュータが必要である。

【0005】既存のコンピュータを利用したシミュレーションは長時間が消費されてしまうので所期の結果を得るためには相当の忍耐力が必要である。

【0006】それで、神経網モデルを専門的にシミュレーションすることができるハードウェアの研究が進行している。

【0007】これは実験室の段階であるばかりでなく、実際に常用されているシステムもある。

【0008】私達はこのような具現方法の中で、現段階で適用可能なデジタルのVLSI技術を利用してハードウェアを具現する。

【0009】図6は現在かなり使用されている神経モデルの中の誤差逆伝播モデルの構造図である。

【0010】このモデルは順方向の経路演算と逆方向の経路演算からなっている。

【0011】順方向経路の基本動作は一つの神経細胞と呼ばれる第2層のM1において、第1層から来る入力値（NK）と加重値（WK1）が乗算され、その結果を合わせたものが神経細胞M1に入って来ると非線形の関数をへて再び第3層の入力値として出力される。

【0012】第3層でも同じ動作をし、出力として結果が出て来る。

【0013】逆方向経路の動作も前のものと類似である。

【0014】関連の書として、“Parallel Distributed Processing, Vol.1, David E Rumelhart, et al, A Bradford Book Company”がある。

【0015】このモデルの特徴をみると、並列演算のモデルであるということと、処理しなければならないデータ（入力値と加重値の乗算およびこれらの合わせの演算）が多いということである。

【0016】それで、並列演算を行なうことができるシステムをもつと効果的に神経網モデルをシミュレーションすることができる。

【0017】神経網のシステムを具現する方法の中で電子的な方法を利用した具現方法にはデジタル方法とアナログ方法がある。

【0018】しかし、現在の技術を利用してアナログ方法として具現すると、集積度は良好であるが、システム

が安定化されておらず、学習させる方法が難しくなる。

【0019】デジタル方法を利用した具現は、集積度が低い、その外の問題点が相当に解決される。

【0020】それで、現在の技術としては、デジタル方法を利用した具現が実際の問題から適用することが容易である。

【0021】このために、多様な方法が提案されているが、それなりの問題点がある。

【0022】したがって本発明は、相当のデータ処理を必要とする神経網モデルを効果的に迅速にシミュレーションすることができる構造をもつMIMD型の神経網専用のデジタルアレイプロセッサをVLSIチップ上に形成したものを提供することを目的とする。

【0023】また、前記プロセッサから構成され、最適の構造をもつシステムを提供することにその目的がある。

【0024】

【課題を解決するための手段】本発明は、従来技術の特定部分の性能を向上させたものではなく、独自の構造をもつVLSIチップを設計したものである。

【0025】プロセッサは汎用のマイクロプロセッサの構造を逸脱して神経網モデルを遂行することを目的として設計されている。

【0026】プロセッサ内部にはメモリーがあり、メモリー構造は神経網モデルのシミュレーションを容易に行なうことができるようになっている。

【0027】演算器の構造と内部のデータ経路もやはりシミュレーションを容易に行なうことができるようになっている。

【0028】並列プロセッサのプロセッサ間の通信は、既存のハンドシェーキング方法を改善することによって、神経網モデルをシミュレーションすることが容易になっている。

【0029】

【発明の実施の形態】以下、添付の図面を参照して本発明の実施形態を詳細に説明する。

【0030】図1は、本発明の一実施形態であるアレイプロセッサの全体の構造図であって、メモリーおよび汎用レジスタブロック10、プログラムメモリーおよび制御ブロック11、演算器ブロック12および通信ブロック13の4個のブロックから構成されている。

【0031】そしてバス（BUS）は、プログラム用14とデータ用15とに分離されている。

【0032】プロセッサの動作は、プログラムメモリーに設定されている命令語のとおり遂行される。

【0033】命令語（command）は、神経網モデルを容易にシミュレーションできるようなものとなっており、命令語の構成がプロセッサのハードウェア構造を決定する。

【0034】図2は、本発明の一実施形態であるアレイ

プロセッサを構成する演算器の構造図である。

【0035】符号WMは加重値メモリから来るデータ、XMは入力メモリから来るデータ、ACCは累算器の出力、rfolは汎用レジスタの出力、そしてIOは4方向の通信ポートから来るデータの中の一つである。

【0036】AC、AVはそれぞれキャリとオーバフローラグであり、AN/AZ/APは累積器の値が負数／ゼロ／正数を示すフラグである。

【0037】図2と関連して、演算器は、2段階パイプライン並列—並列乗算器20、並列加算器／減算器21、論理器22、そして累算器23とフラグレジスタ24から構成されている。

【0038】また、データ臨時貯蔵用のレジスタ25とデータ選択用のMUXを包含している。

【0039】前記演算器の特徴は、パイプライン動作をするものであり、このために二つの面を考慮した。

【0040】その第一は、ハードウェア構造の側面である。

【0041】乗算器は2段階パイプライン動作をしており、そして加算器／減算器と直列に連結されて3段階パイプライン動作をする。

【0042】その第二は、パイプライン動作のためのデータの供給である。

【0043】連続的なデータ供給のために二つの分離されたメモリを使用する。

【0044】神経網モデルに重要な加重値をもっているメモリ(WM)30と入力値をもっているメモリ(XM)31とを分離している。

【0045】加重値は、神経網モデルの演算が行なわれる学習と認識段階の冒頭からプロセッサがもっていると有利である。

【0046】しかし、入力値は、認識過程からは外部から継続的に入らなければならないので、プロセッサがもっている必要はないが、学習のときにはプロセッサがもっていることが有利である。

【0047】データ経路は、動作速度を考慮して可能な限り最短の経路を選択し、プロセッサ内から流れるデータの経路を均等にした。

【0048】このために、論理回路を累算器の外に置いて、そして外部から来るIO値は可能な限り短い経路のみを流れて行くようにする。

【0049】図3は、メモリブロックを示している。

【0050】二つの独立したメモリがあり、汎用レジスタは図1にのみ表示されている。

【0051】汎用レジスタは、神経網をシミュレーションすることにおいて大変重要な部分である。

【0052】神経網は単純な演算モデルを使用しているが、実際にプログラムを作成すると特定の変数の反復的な使用が必要である。

【0053】このような変数の反復的な使用のために汎

用レジスタを使用するとプロセッサの性能を向上させることができる。

【0054】加重値メモリ30には、8個のメモリポインターレジスタがある。

【0055】神経網モデルをシミュレーションすると、メモリの連続的な使用というよりは、幾つかの連続するメモリアドレスがグループを成しており、このようなグループが反復して使用される。

【0056】それで、加重値メモリ30には、多数個のポインターレジスタ32は必ず必要である。

【0057】そして、アドレスを計算するための演算器34も必要である。

【0058】入力値をもっているメモリ31は、加重値より小さい個数のアドレスポインター33を有してよいが、やはり多数個のアドレスポインターが必要である。

【0059】そしてアドレスを計算するための増加器35があるだけで効果的にメモリを使用することができる。

【0060】メモリの分離された構成(WM、XM)は、演算のパイプライン動作のために必要である。

【0061】そして、並列プロセッサの性能を決定する通信の瓶の首の現象を解決するためには、可能なら大きい容量の内部メモリが効果的である。

【0062】レジスタ37は、アドレスを臨時に貯蔵し、アドレスバス38は、アレイプロセッサの外部からデータをアップ／ダウンロードするために使用される。

【0063】図4は、本発明による通信ポートの構造図であって、入力ポートブロック40、出力ポートブロック41およびデータを入出力するためのポートを予め指定するレジスタ46から構成されている。

【0064】前記入力ポートブロック40は、入力のために状態を表示するフラグ(IRS)47、データ貯蔵のためのバッファ42およびデータ入力時に四つのデータの中の一つからデータを選択して受け入れるMUX44から構成されている。

【0065】前記出力ポートブロック41は、出力のために状態を表示するフラグ(ORS)48、データ貯蔵のためのバッファ43およびデータ出力時に四つのデータバッファの中の一つのバッファにデータを送るためにデータを選択するDEMUX45から構成されている。

【0066】本発明の実施形態においては、ハンドシェーキング方法を利用して通信する。

【0067】プロセッサは、4方向に通信しており、4方向の中で一度に一つの方に通信が行なわれる。

【0068】本発明の実施形態においては、このような通信方向を予めレジスタ46に定めて使用するの、迅速な通信が行なわれ得ようになっている。

【0069】図5は、設計したプロセッサを使用して

構成することができるシステムの一つの例である。

【0070】プロセッサが4方向の通信をしているので、最適の構造は2次元(2-Dimension)の形態である。

【0071】他の形態の並列システムの構造をもつこともできる。

【0072】そして、必要なら接続回路52を置いているので、外部メモリ34をもつことができる。

【0073】ホストコンピュータ53に連結するため、接続回路51を必要とする。

【0074】アドレスバス56は、単方向であるので、ホストコンピュータ53から単方向にアドレスを送っており、データバス55は双方向のバスであるので、双方向のデータ交換が可能である。

【0075】前記のように構成されて動作する本発明の実施形態によって、現在のデジタル方式のVLSI技術を利用して神経網モデルをシミュレーションするためのハードウェア(チップ)を安定的に製作することができる効果がある。

【0076】また、プログラムが可能なデジタル方式を利用して多様な神経網モデルをシミュレーションすることができる。

【0077】また、設計されたチップは、並列システムにプロセッシングエレメントとして採択することができ、数個乃至数百個のチップを連結した大規模の並列システムとしての具現が可能であり、また数個のチップを連結して特定の目的の専用システムにも使用することができる。

【0078】

【発明の効果】前記チップは神経網モデルに適合した独創的な演算器、メモリ、通信ポートおよびプログラムメモリの構造をもっているので、効果的に神経網モデルをシミュレーションすることができる。

【図面の簡単な説明】

【図1】 アレイプロセッサの構造図である。

【図2】 アレイプロセッサ演算器の構造図である。

【図3】 アレイプロセッサメモリ部の構造図である。

【図4】 アレイプロセッサ通信部の構造図である。

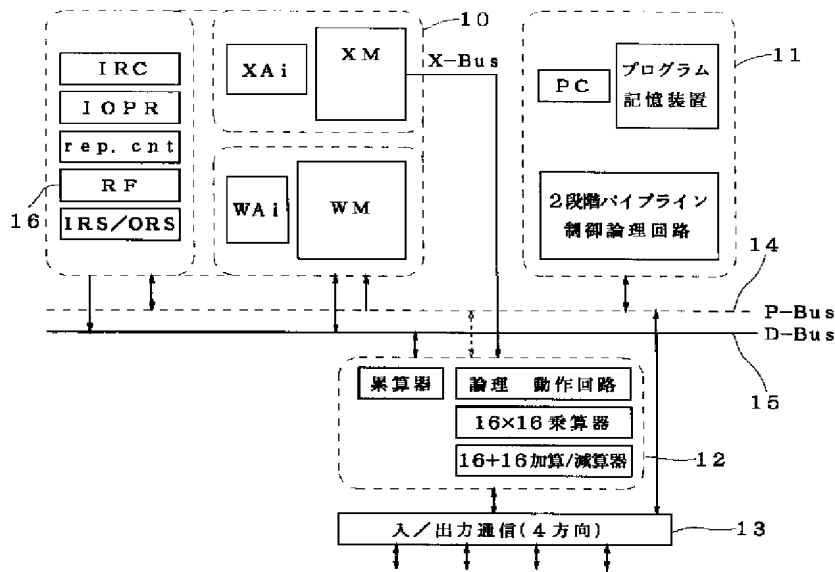
【図5】 アレイプロセッサを利用したシステム設計の例示図である。

【図6】 ハードウェア設計に重要に使用される神経網モデルの構造図である。

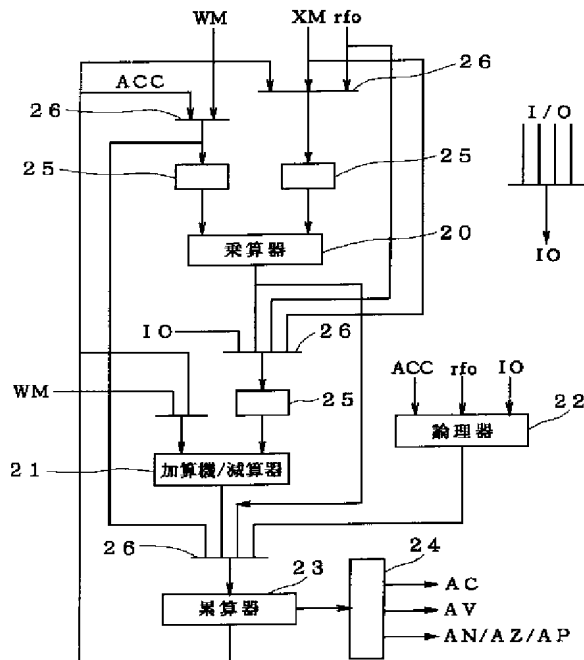
【符号の説明】

- 10 汎用レジスターとメモリーブロック
- 11 プログラムと制御のためのブロック
- 12 演算器ブロック
- 13 通信ブロック
- 20 2段階パイプライン並列-並列乗算器
- 21 並列加算器/減算器
- 22 論理器
- 23 累算器
- 24 状態フラグレジスター
- 25 データ貯蔵用レジスター
- 26 MUX
- 32, 33, 37 レジスター
- 38 アドレスバス(BUS)
- 40 入力ポートブロック
- 41 出力ポートブロック
- 42 データ入力のためのレジスターバッファー
- 43 データ出力のためのレジスターバッファー
- 44 MUX
- 45 DEMUX
- 46 レジスター
- 50 アレイプロセッサ
- 51 データダウン/アップローディング回路
- 53 コンピューターまたはシステム
- 55, 56 バス

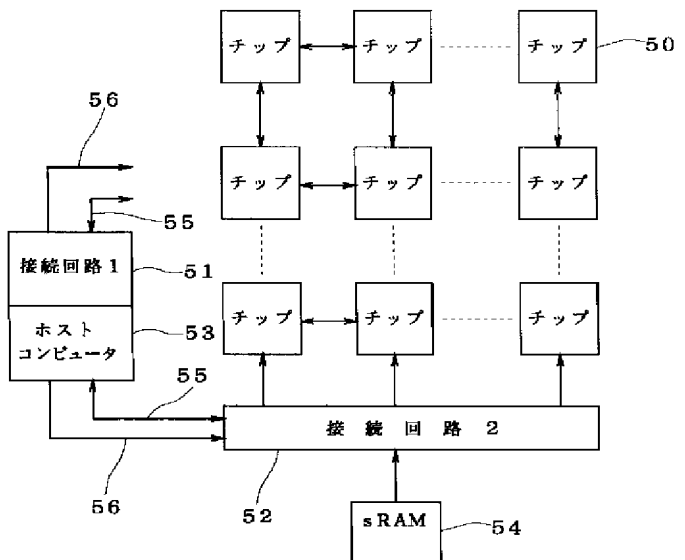
【図1】



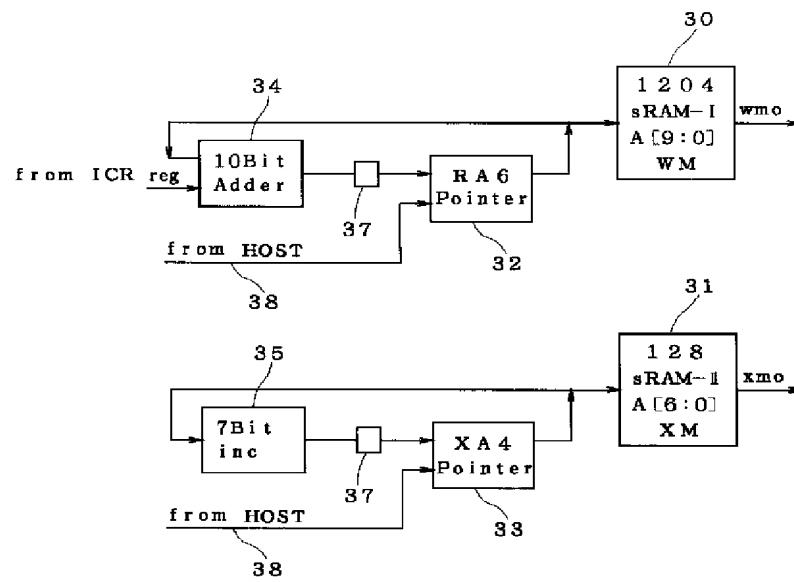
【図2】



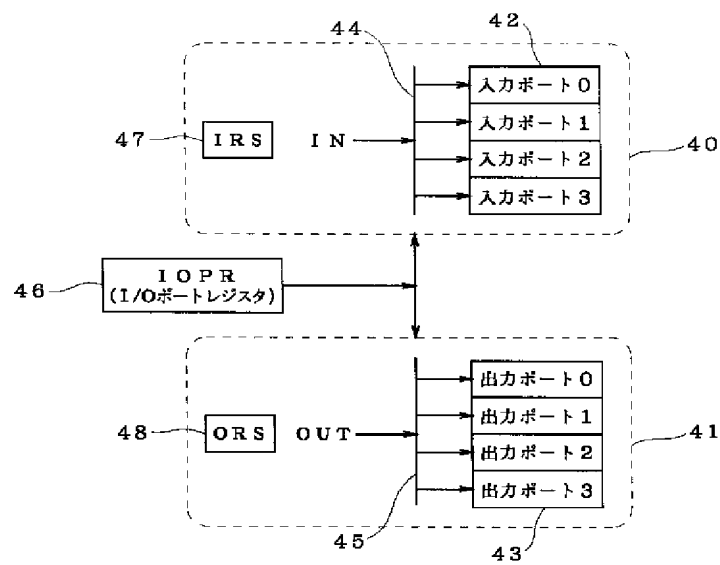
【図5】



【図3】



【図4】



【図6】

